

A4

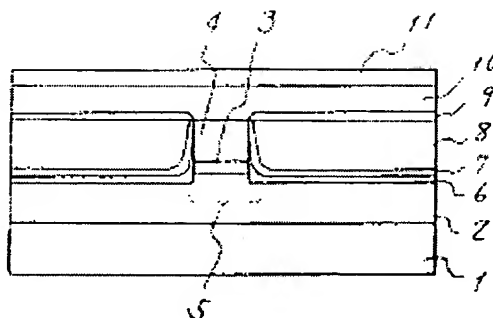
SEMICONDUCTOR LASER

Patent number: JP1241886
Publication date: 1989-09-26
Inventor: KITAMURA MITSUHIRO; others: 01
Applicant: NEC CORP
Classification:
- international: H01S3/18
- european:
Application number: JP19880070602 19880323
Priority number(s):

Abstract of JP1241886

PURPOSE: To sufficiently suppress injection carriers and to realize a semiconductor laser having a high output and high speed operable buried structure by so forming a high resistance semiconductor layer as to be brought into contact only with a reverse conductivity type semiconductor layer to its quasiconductivity type.

CONSTITUTION: An N-type InP buffer layer 2, a non-doped In_{0.72}Ga_{0.28}As_{0.61}P_{0.39} active layer 3 corresponding to 2, 3μm of emitting light wavelength, and a P-type InP clad layer 4 are laminated, for example, 1, 0.1 and 1μm thick on an N-type InP substrate 1. Then, with an SiO₂ film as a mask a mesa stripe 5 having 1.5μm of width and 1.5μm of height is formed, and a P-type InP layer 6, an N-type InP layer 7, an Fe-doped high resistance InP layer 8, and an N-type InP layer 9 are sequentially grown, for example, 0.1, 0.1, 1.3 and 0.2μm thick on a flat part. The shape of the stripe 5 is adjusted to so grow the layer 8 as to surround it with the layers 7, 9, and the leakage of holes is sufficiently suppressed, thereby providing an extremely high speed HR-BH-LD.



BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平1-241886

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月26日

H 01 S 3/18

7377-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体レーザ

⑮ 特 願 昭63-70602

⑯ 出 願 昭63(1988)3月23日

⑰ 発 明 者 北 村 光 弘 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発 明 者 麻 多 進 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体レーザ

2. 特許請求の範囲

ストライプ状の活性層の両側に高抵抗半導体層を電流ブロック層として有する埋め込み構造の半導体レーザにおいて、前記高抵抗半導体層がその擬似導電型と反対の導電型の半導体層のみと接していることを特徴とする半導体レーザ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体レーザに関する。

〔従来の技術〕

電流ブロック層として比抵抗 $10^8 \Omega \text{cm}$ 以上の高抵抗半導体をストライプ状の活性層の両側に設けた埋め込みレーザ(以下HR-BH-LDと略す。)は活性層のわきを流れるもれ電流の低減、

素子の電気容量の低減が可能のため低しきい値で高速動作に優れたレーザとして期待されている。例えば有機金属気相成長法(MOVPE法)によってF_eをドーブしたInP層を電流ブロック層として用いたHR-BH-LDが試作され、比較的良好な特性が報告されている。

〔発明が解決しようとする課題〕

ところで例えばF_eをドーブしたInP層の場合、F_e原子の形成するディープトラップレベルは禁制帯中の中央より下に位置しており、このような場合、アクセプタ・ライクのトラップが形成されていると言われ、電子のトラップとして働き、その流れを阻止するが、正孔に対してはトラップとして働かない。第2図に示す従来例のようなHR-BH-LDにおいては高抵抗層8とp型クラッド層4とが直に接しているため、そこから供給される正孔は高抵抗層8にもれ出し、活性層3に流れずにn型クラッド層(第2図ではバッファ層2がこの層に相当する)へと流れていってしまう。そのため従来例のようなHR-BH-LDでは光出力

特開平 1-241886(2)

が10mWを超えるレベルから急激に光出力が飽和してしまうという問題があった。

本発明の目的は上述の欠点を克服し、もれ電流が小さく、高出力レベルまで動作させることが可能なHR-BH-LDを提供することにある。

〔課題を解決するための手段〕

本発明は、ストライプ状の活性層の両側に高抵抗半導体層を電流ブロック層として有する埋め込み構造の半導体レーザにおいて、前記高抵抗半導体層がその擬似導電型と反対の導電型の半導体層のみと接していることを特徴とする構造となっている。

〔実施例〕

以下実施例を示す図面を用いて本発明をより詳細に説明する。第1図は本発明の一実施例を示す断面図である。このような素子を付けるにはまずn-InP基板1上にn-InPバッファ層2、発光波長1.3μm相当のノンドープIn_{0.73}Ga_{0.27}As_{0.61}P_{0.39}活性層3、p-InPクラッド層4をそれぞれ厚さ1μm、0.1μm、1μm積

- 3 -

と従来にない高出力が得られた。通常の300μm程度の長さのものでは発振しきい値電流10~20mA、微分量子効率0.25W/A程度のものが再現性良く得られた。また、長さ180μmとし、電極パッドの面積を低減し、高速応答特性を評価したところ3dB低下の遮断周波数として18GHzときわめて高速のHR-BH-LDが得られた。そのときの素子容量は28pFと小さかった。

上述のように高出力・高速なHR-BH-LDが得られたのはアクセプタ・ライクな高抵抗層であるFeドープInP層がその擬似導電型と反対の導電型であるn-InP層のみと接するように形成したため、正孔のもれを十分に抑制することができたためである。高抵抗層としては他に例えばTiドープInP、FeドープGaAs等が良く知られているが、これらの場合にはいずれもドナーライクのトラップが形成される。したがってこの場合はp型の半導体層のみと接するように形成することによって上述の実施例と同様の効果を得ることができる。

〔発明の効果〕

- 5 -

層した。次にSiO₂膜をマスクとして幅1.5μm、高さ1.5μmのメサストライプ5を形成し、p-InP層6、n-InP層7、Feドープ高抵抗InP層8、n-InP層9をそれぞれ平坦部での厚さ0.1μm、0.1μm、1.3μm、0.2μm成長した。ここではMOVPE法により成長を行なった。用いた原料はTMIn(トリメチルインジウム)、PH₃(ホスフィン)、Fe(C₅H₅)₂(フェロセン)、DMZn(ジメチルジnk)、SiH₄(モノシラン)である。メサストライプ5の形状を調整することにより図に示すように高抵抗層8はn-InP層7、9で囲まれるように成長することができた。さらにSiO₂マスクを除去した後、全面にわたってp-InP埋め込み層10、発光波長1.1μm相当のp⁺In_{0.86}Ga_{0.13}As_{0.33}P_{0.67}コンタクト層11をそれぞれ厚さ1μm、0.5μm成長し、次いで電極形成等を行なって所望のHR-BH-LDを得た。このようにして作製した半導体レーザを長さ700μmに切り出して評価を行なったところ室温cwにおいて最大220mW

- 4 -

本発明の特徴はHR-BH-LDにおいて、高抵抗層がその擬似導電型と反対の導電型の半導体層のみと接するように形成したことである。それによって注入キャリアのもれを十分に抑制することができ、高出力、高速動作可能な埋め込み構造の半導体レーザが実現できた。

4. 図面の簡単な説明

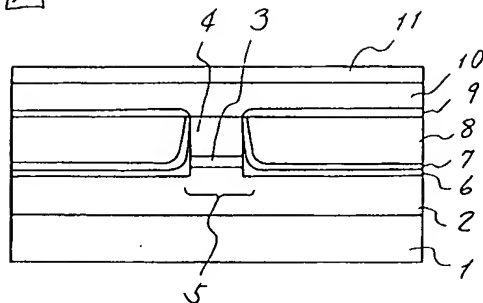
第1図は本発明の一実施例を示す図、第2図は従来例の断面構造図を示す。

1……基板、2……バッファ層、3……活性層、4……クラッド層、5……メサストライプ、6……p-InP層、7、9……n-InP層、8……高抵抗層、10……埋め込み層、11……コンタクト層。

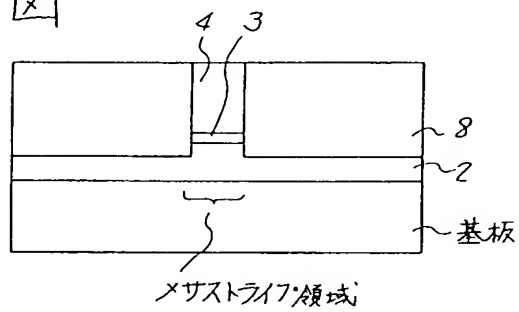
代理人 井堀士 内 原 晋

- 6 -

第1図



第2図



- 1:基板 2:バッファ層 3:活性層 4:フット層
 5:メサストライプ 6:P-InP層 7,9:n-InP層 8:高抵抗層
 10:埋め込み層 11:コンタクト層